

Japanese Patent Laid-open Publication No.: HEI7-210454 A

Publication date : August 11, 1995

Applicant : SHARP CORPORATION

Title : High-speed processor

5

(57) [ABSTRACT]

[Object]

A buffer circuit is provided for pre-reading data and is operated under an appropriate program, thereby to accelerate the processing of reading
10 access to a low-speed I/O device or memory.

[Configuration]

Once a pre-read controlling circuit 3a receives an instruction including an address of required data, it captures the data in a pre-read buffer 2. A bus master carrying out other processing, executes a normal reading
15 instruction when it requires the data. When the pre-read controlling circuit 3a receives the reading instruction, it starts normal read cycle and, on the other hand, compares the target address with an address stored in the pre-read controlling circuit 3a. When the target address is equal to the address stored in the pre-read controlling circuit 3a, the pre-read controlling circuit 3a stops
20 normal read cycle and passes the data from the pre-read buffer 2 to the bus master. This configuration eliminates the possibility of interrupting processing due to a wait inserted when the bus master reads from a low-speed device, thereby improving the processing speed.

[0021]

25 [Effects of the Invention]

As is clear from the above description, a high-speed processor for accessing a low-speed I/O device or memory, according to the present invention, includes a pre-read controlling circuit for pre-reading data and a pre-read buffer for storing pre-read data, being configured in such a manner
5 that a memory controller which receives a data reading instruction starts low-speed memory controlling corresponding to an address of the data, then, when the address is equal to an address stored in the pre-read controlling circuit, low-speed-memory read cycle is stopped to start to provide data from the pre-read buffer to a CPU, thereby to shorten the processing time in
10 reading access. With this configuration, it becomes possible to achieve high-speed reading access to a memory without use of any expensive high-speed memory device. Further, this is more effective in speeding-up of reading access to a low-speed device such as an I/O device and the like, with great improvement in a processing speed of the whole system.

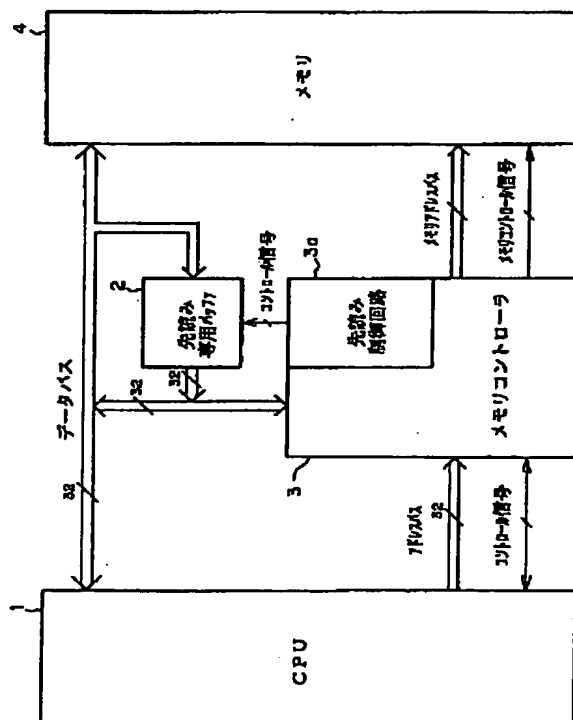
15

(43)公開日 平成7年(1995)8月11日

審査請求 未請求 請求項の数 1 0 L (全 6 頁)

(74)代理人 弁理士 高野 明近

【構成】 先読み制御回路3aは必要とするデータのアドレスを含む命令を受け取ると、直ちに先読み専用バッファ2にデータを取り込む。バスマスタは他の処理を実行し、データを必要になった時点で通常のリード命令を実行する。先読み制御回路3aはリード命令を受け取ると、通常のリードサイクルを開始すると共に、その対象アドレスを先読み制御回路3a内に記憶されているアドレスと比較し、等しい場合には通常のリードサイクルを中止して、先読み専用バッファ2からデータをバスマスタに渡す。このため、バスマスタが低速なデバイスからのリードに際し、ウェイトが挿入されて処理を中断することがなくなり、処理速度の向上が可能となる。



【特許請求の範囲】

【請求項1】 リード命令を実行する処理装置と、必要とするデータのアドレスからなるコマンドによって動作するメモリコントローラ内に設けられた先読み制御回路と、前記アドレスに該当するメモリからのデータを取り込む先読み専用バッファとから成り、前記処理装置によるデータリード命令により、前記メモリコントローラが先読みデータとのアドレスの比較を行い、該アドレスが等しい場合は、前記メモリのリードサイクルを中止して前記先読み専用バッファからのデータを前記処理装置へ供給するようにしたことを特徴とする高速化処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高速化処理装置に関し、より詳細には、リードアクセスの処理時間の短縮を図るようにした高速化処理装置に関する。例えば、低速なI/O (Input/Output: 入出力) デバイスやメモリを用いた回路に適用されるリードサイクルの高速化を図ることができる。

【0002】

【従来の技術】低速なI/Oデバイスやメモリへのアクセスにおいて、バッファを用いた高速化が可能なライトサイクルよりも、高速化の手段のないリードサイクルの方が時間がかかる。つまり、ライトサイクルではライトデータを高速動作可能なデバイスでバッファリングし、それ以降の動作をバスの管理回路に委任することによって、低速なデバイスを直接アクセスすることなく、CPU (中央処理装置) 等のバスマスタはサイクルを終了することができるからである。しかし、リードサイクルでは低速なデバイスの動作が終了するまでアクセスが終了しないため、アクセスタイムは低速なデバイスの動作速度に依存し、一連の動作を短縮することができなかった。

【0003】図4は、従来の処理装置の構成図で、図中、11はCPU (Central Processing Unit: 中央処理装置)、12はメモリコントローラ、13はメモリ (低速メモリ) である。CPU 11において、前処理が行なわれてからリード命令が実行されると、アドレスバスを介してメモリコントローラ12にリード命令が伝えられる。該メモリコントローラ12においては、メモリアドレスとメモリコントロール信号が作成され、メモリアドレスバスを介してメモリ13へ伝えられ、該メモリ13においてデータが出力され、データバスを介してCPU 11でデータの読み込みが行なわれる。CPU 11で後処理が行なわれてライト命令が実行されると、アドレスバスを介してメモリコントローラ12にライト命令が伝えられる。該メモリコントローラ12においては、メモリアドレスバス及びメモリコントロール信号が作成され、メモリ13においてデータの書き込みが行なわれる。

【0004】図5は、図4に示す処理装置の動作を説明するためのフローチャートである。CPU 11の処理は、図5からもわかるように、「前処理」「データリード」「後処理」「データライト」の4つのモードから成っている。以下、各モードに沿って順に説明する。

前処理: CPU 11において前処理が行なわれる。

データリード: CPU 11においてリード命令の実行が行なわれると、メモリコントローラ12においてメモリアドレス及びコントロール信号が作成され、メモリ13においてデータ読み出しが行なわれる。CPU 11においてデータの読み込みが行なわれる。

【0005】後処理: CPU 11において後処理が行なわれる。

データライト: CPU 11においてライト命令の実行が行なわれると、データの出力がなされ、メモリコントローラ12において、メモリアドレス及びコントロール信号が作成されるとともにデータのラッチが行なわれ、メモリ13においてデータの書き込みが行なわれる。

【0006】すなわち、「前処理」モード終了後に、CPU 11はデータリード命令を実行し、「データリード」モードが開始される。データリード命令を受け取ったメモリコントローラ12は、アドレスに該当する低速メモリ13を制御してデータを読み出す。CPU 11はこのデータをデータバスを介して低速メモリ13から直接受け取る。このため、CPU 11は低速メモリ13からのデータ読み出しが終了するまで「データリード」モードを終了できない。

【0007】

【発明が解決しようとする課題】前述のように、従来の処理装置においては、I/Oデバイスやメインメモリは、CPU (中央処理装置) 等のバスマスタの動作速度に比べ遅い。メインメモリには高速なデバイスを用いることも可能であるが、基板スペースやコストの問題から、実際に使用することは難しい。このために、ライトサイクルではライトバッファが用いられ、処理速度の改善に寄与している。しかし、リードサイクルの短縮には有効な手段がなく、処理速度向上のネックになっているという問題があった。

【0008】本発明はこのような実情に鑑みてなされたもので、高価な高速メモリデバイスを使用することなく、メモリの高速リードアクセスを可能とする高速化処理装置を提供することを目的としている。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成するために、リード命令を実行する処理装置と、必要とするデータのアドレスからなるコマンドによって動作するメモリコントローラ内に設けられた先読み制御回路と、前記アドレスに該当するメモリからのデータを取り込む先読み専用バッファとから成り、前記処理装置によるデータリード命令により、前記メモリコントローラが

先読みデータとのアドレスの比較を行い、該アドレスが等しい場合は、前記メモリのリードサイクルを中止して前記先読み専用バッファからのデータを前記処理装置へ供給するようにしたことを特徴としたものである。

【0010】

【作用】先読み制御回路は、必要とするデータのアドレスを含む命令を受け取ると、直ちに先読み専用バッファにデータを取り込む。この後、バスマスタは他の処理を実行し、データを必要になった時点で通常のリード命令を実行する。先読み制御回路はリード命令を受け取ると、通常のリードサイクルを開始すると共に、その対象アドレスを先読み制御回路内に記憶されているアドレスと比較し、これが等しい場合には通常のリードサイクルを中止して、先読み専用バッファからデータをバスマスタに渡す。このため、バスマスタが低速なデバイスからのリードに際し、ウェートが挿入されて処理を中断することがなくなり、処理速度の向上が可能となる。

【0011】

【実施例】実施例について、図面を参照して以下に説明する。図1は、本発明による高速化処理装置の一実施例を説明するための構成図で、図中、1はCPU (Central Processing Unit: 中央処理装置)、2は先読み専用バッファ、3はメモリコントローラ、3aは先読み制御回路、4はメモリ (低速メモリ) である。なお、CPU 1の処理は「前処理」「データリード」「後処理」「データライト」の4つのモードから成っている。

【0012】「前処理」モードを開始する以前に、必要とするデータのアドレスからなるコマンドを「先読みコマンドの書き込み」モードでメモリコントローラ3内部の先読み制御回路3aに書き込む。該先読み制御回路3aは「先読みコマンドの書き込み」を受け取るとコマンド内に書かれたアドレスに該当する低速メモリ4から、先読み専用バッファ2にデータを取り込む。CPU 1は、先読み制御回路3aへの「先読みコマンドの書き込み」が終了すると、直ぐに「前処理」を開始する。「データリード」モードが開始されると、CPU 1はデータリード命令を実行する。

【0013】データリード命令を受け取ったメモリコントローラ3は、アドレスに該当する低速メモリ4の制御を開始すると共に、そのアドレスを先読み制御回路3a内に記憶されているアドレスと比較し、これが等しい場合には低速メモリ4へのリードサイクルを中止して、先読み専用バッファ2からデータをCPU 1に渡す。このため、先読み専用バッファ2に目的のデータが存在すれば、CPU 1は低速メモリ4をアクセスすることなく、直ちにデータを受け取り「データリード」モードを終了することができる。

【0014】低速なI/Oデバイスやメモリをアクセスする高速化処理装置において、データの先読みを行うための先読み制御回路と、先読みデータを格納するための

先読みデータ専用バッファとを備え、データリード命令を受け取るメモリコントローラがアドレスに該当する低速メモリ制御を開始し、該アドレスが先読み制御回路に記憶されているアドレスと等しい場合は、低速メモリのリードサイクルを中止して先読み専用バッファからのデータをCPUへ供給する動作をさせることによって、リードアクセスにおける処理時間の短縮を可能にすることができる。

【0015】図2及び図3は、図1における高速化処理装置の動作を説明するためのフローチャートである。CPU 1の処理は、「前処理」「データリード」「後処理」「データライト」の4つのモードから成っている。以下、各モードに沿って順に説明する。

前処理：前処理の開始前にCPU 1において先読みコマンドの書き込みが行なわれる。前処理が開始されると、CPU 1において前処理が行なわれると共に、メモリコントローラ3においてメモリアドレス及びコントロール信号が作成され、メモリ4においてデータが出力され、メモリコントローラ3においてメモリ4から出力されたデータをラッチする。

【0016】データリード：CPU 1においてリード命令の実行が行なわれると、メモリコントローラ3においてメモリアドレス及びコントロール信号が作成され、先読みデータとのアドレスの比較が行なわれる。先読みデータとアドレスとが異なれば、通常のメモリリードを行ない、同じであれば、メモリ4へのアクセスを中止すると共に、前記ラッチデータの出力を行なう。CPU 1ではデータの読み込みを行なう。

【0017】後処理：CPU 1において後処理が行なわれる。

データライト：CPU 1においてライト命令が実行されると、データ出力が行なわれ、メモリコントローラ3においてメモリアドレス及びコントロール信号が作成されるとともにデータのラッチが行なわれ、メモリ4においてデータの書き込みが行なわれる。

【0018】ここで、CPU 1は1サイクルに動作周波数30MHzで2クロック(60nsec)、低速メモリのアクセスには800nsecかかるものとし、先読み制御回路3aと先読み専用バッファ2にはノンウェートでアクセスできるものとすれば、図5のように従来の回路を用いた処理では、1ループにかかる時間は以下の(1)式のようになる。

$$x + 800 + y + 60 \text{ (nsec)} \quad \dots (1)$$

【0019】しかし、図2及び図3のような本発明に基づいた高速化処理装置を用いた処理では、前記処理時間xが十分に長い場合、低速メモリから先読み専用バッファ2へのデータ転送時間は、前処理時間xに吸収され、CPU 1から見た場合0nsecとなる。したがって1ループにかかる時間は以下(2)式のようになる。

$$60 + x + 60 + y + 60 \text{ (nsec)} \quad \dots (2)$$

ただし $x > 800$ (nsec)

【0020】このように、最適動作が可能な場合には、低速メモリのアクセスに要する時間に関係なく、「先読みコマンドの書き込み」のための1CPUサイクル(60nsec)と、「先読み専用バッファからの読み出し」のための1CPUサイクル(60nsec)の合計2CPUサイクル(120nsec)で低速メモリからのデータリードが可能となる。

【0021】

【発明の効果】以上の説明から明らかなように、本発明によれば、低速なI/Oデバイスやメモリをアクセスする高速化処理装置において、データの先読みを行うための先読み制御回路と、先読みデータを格納するための先読み専用バッファとを備え、データリード命令を受け取るメモリコントローラがアドレスに該当する低速メモリ制御を開始し、該アドレスが先読み制御回路に記憶されているアドレスと等しい場合は、低速メモリのリードサイクルを中止して先読み専用バッファからのデータをCPUへ供給する動作をさせることによって、リードアクセスにおける処理時間の短縮を可能にするようにしたの

で、高価な高速メモリデバイスを使用することなく、メモリの高速リードアクセスが可能になる。また、I/Oデバイス等の低速デバイスのリードアクセスの高速化には、より効果的で、システム全体の処理速度が大きく向上する。

【図面の簡単な説明】

【図1】本発明による高速化処理装置の一実施例を説明するための構成図である。

【図2】図1における高速化処理装置の動作を説明するためのフローチャート(その1)である。

【図3】図1における高速化処理装置の動作を説明するためのフローチャート(その2)である。

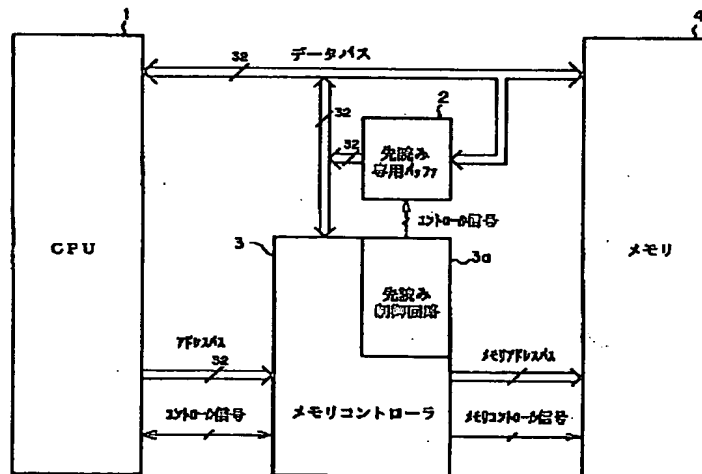
【図4】従来の処理装置の構成図である。

【図5】図4における処理装置の動作を説明するためのフローチャートである。

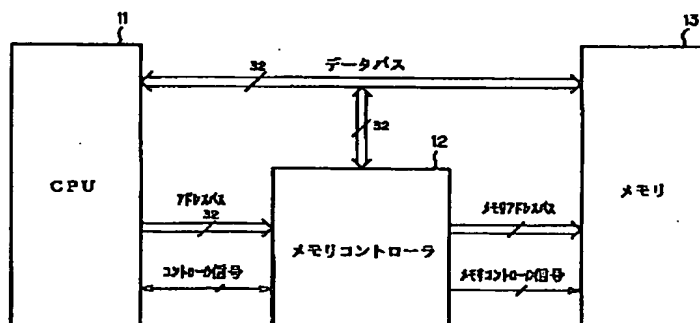
【符号の説明】

1…CPU (Central Processing Unit: 中央処理装置)、2…先読み専用バッファ、3…メモリコントローラ、3a…先読み制御回路、4…メモリ。

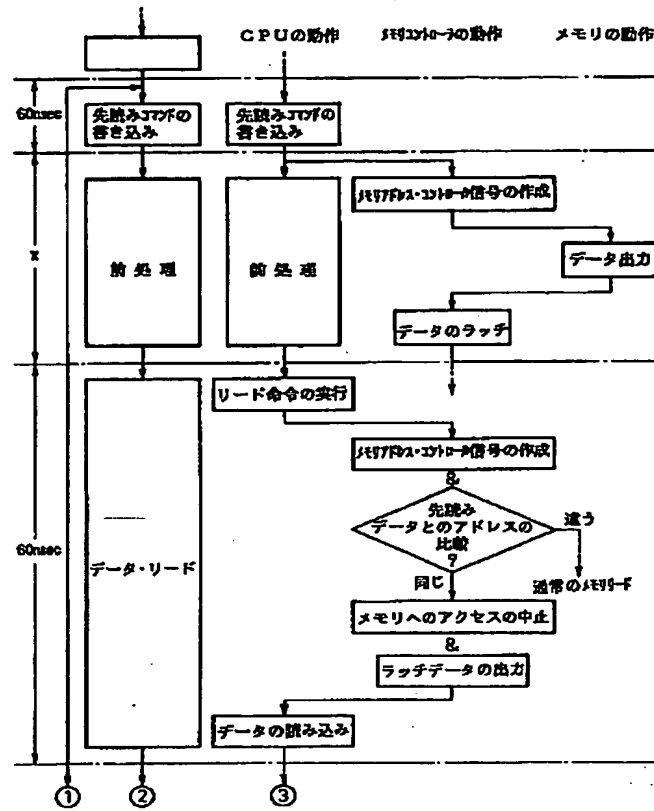
【図1】



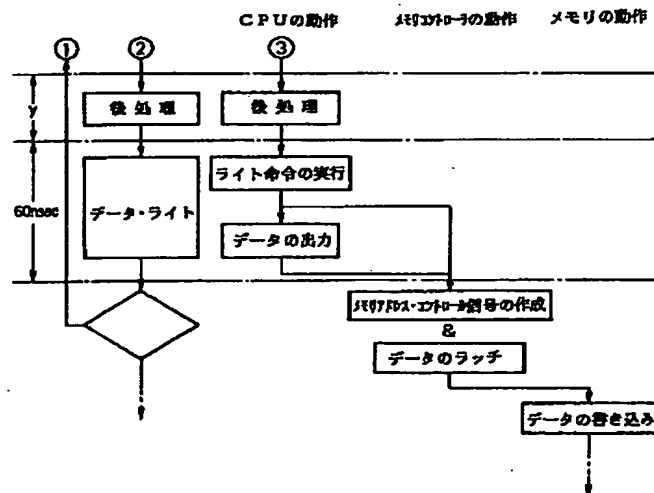
【図4】



【図 2】



【図 3】



【図5】

